

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jae-Hoon Lee, et. al.
Filing Date: Herewith
Title: SEMICONDUCTOR DEVICE WIRING AND METHOD OF
MANUFACTURING THE SAME

#7/Intg.
6/27/2
Luh

JC862 U.S. PTO
09/737540
12/15/00

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.10

"Express Mail" Mailing Label Number EL681163277US I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated below and is addressed to BOX PATENT APPLICATION, Assistant Commissioner for Patents, Washington, DC 20231.

December 15, 2000
Date

Lizabeth M. Sumner
Lizabeth M. Sumner

BOX PATENT APPLICATION
Assistant Commissioner for Patents
Washington, DC 20231

TRANSMITTAL LETTER

Sir:

Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. New Application Transmittal;
2. New Patent Application;
3. Executed Declaration, Petition and Power of Attorney;
4. Six (6) Pages of Formal Drawings;
- ⑤ Certified Copy of Priority Document - Korean Application No. 2000-8558
6. Check in the amount of \$710.00 to cover requisite fee;
7. Assignment Recordation Form Cover Sheet - - PTO-1595;
8. Executed Assignment;
9. Check in the amount of \$40.00 to cover assignment recordation fee;
10. Information Disclosure Statement;
11. PTO-1449 Form;
12. Copies of cited references AA- AF; and
13. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 19-0079. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: December 15, 2000
Samuels, Gauthier & Stevens, LLP
225 Franklin Street, Suite 3300
Boston, MA 02110
Telephone: (617) 426-9180, Ext. 149
Facsimile: (617) 426-2275

Steven M. Mills
Steven M. Mills
Registration Number 36,610
Attorney for Applicant



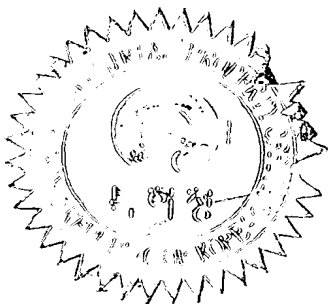
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 2000년 제 8558 호
Application Number

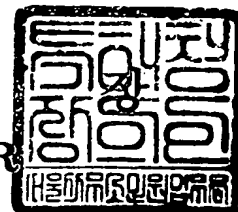
출원 년 월 일 : 2000년 02월 22일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



2000 05 13
 년 월 일

특 허 청
COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2000.02.22		
【발명의 명칭】	반도체 장치의 배선 및 이의 제조 방법		
【발명의 영문명칭】	Wiring of Semiconductor Device and Method for Manufacturing Thereof		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	박영우		
【대리인코드】	9-1998-000230-2		
【발명자】			
【성명의 국문표기】	이재훈		
【성명의 영문표기】	LEE, Jae Hoon		
【주민등록번호】	680823-1079520		
【우편번호】	471-020		
【주소】	경기도 구리시 교문동 809번지 한가람APT 105동 501호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	남궁현		
【성명의 영문표기】	NAM, Kung Hyon		
【주민등록번호】	720210-1009529		
【우편번호】	130-033		
【주소】	서울특별시 동대문구 답십리3동 465-42호 11/8		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	8	면	8,000 원

1020000008558

2000/5/1

【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	658,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

단락에 의한 불량율이 감소된 반도체 장치의 배선 및 이의 제조 방법이 개시되어 있다. 먼저, 반도체 기판의 상부에 제1 도전층을 형성하고, 제1 도전층의 상부에 제1 절연 물질을 도포한 후 CMP 공정을 수행하여 제1 층간절연막을 형성한다. 다음에, 제1 층간절연막의 상부에 제2 절연 물질을 도포하여 상기 CMP 공정 후에 형성된 상기 제1 층간절연막상의 스크래치를 덮도록 하기 위한 제2 층간절연막을 형성하도록 한다. 제2 층간절연막의 두께보다 얇은 두께로 상기 제2 층간절연막을 식각하여 제1 식각 패턴을 형성한다. 얻어지는 제1 식각 패턴의 상부에 도전성 물질을 도포한 후 이를 평탄화하여 다마신 형태의 도전 패턴을 형성하도록 한다. 층간절연막을 CMP 공정에 의해 평탄화한 후 형성되는 스크래치로 인하여 이후 도전성 패턴간에 브리지가 발생하는 현상을 방지할 수 있으며 얻어지는 반도체 장치의 품질을 향상시킬 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체 장치의 배선 및 이의 제조 방법 {Wiring of Semiconductor Device and Method for Manufacturing Thereof}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 방법에 따라 반도체 장치의 금속 배선을 제조하는 방법을 나타내는 개략적인 단면도들이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치의 금속 배선을 나타내는 도면이다.

도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 반도체 장치의 금속 배선을 제조하는 방법을 나타내는 개략적인 단면도들이다.

<도면의 주요부분에 대한 부호의 설명>

100, 200: 기판

110a, 110b, 210a, 210b: 소오스/드레인 영역

120, 220: 게이트 전극 130, 230: 층간절연막

140, 240: 콘택홀 135, 235: 스크래치

170, 270: 금속 플러그 180, 280: 금속 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 장치의 배선 및 이의 제조 방법에 관한 것으로서, 상세하게는 CMP 공정 중에 형성되는 스크래치에 의해 인접하는 도전성 패턴간의 브리지 발생이 방지되는 반도체 장치의 배선 및 이의 용이한 제조 방법에 관한 것이다.
- <11> 집적회로를 제조하는데 있어서, 결정 구조 결함, 스크래치, 거칠기 같은 굴곡과 결점을 제거하기 위하여 형성되는 여러 가지 반도체 물질층은 평평하게 평탄화해야 할 필요가 있다. 반도체 기술이 발달하면서 평탄화 기술도 발전을 거듭해 왔다. 최근에는 화학적 기계적 연마(CMP; chemical mechanical polishing), 리플로우(reflow), 에치백(etch back) 등과 같은 여러 가지 평탄화 기술 중에 CMP 방법을 많이 적용하는데, 이를 통하여 평탄도를 획기적으로 개선하고 있다. 특히, 다층 배선 공정의 필요성이 대두되면서 하부 금속 패턴의 평탄도가 다층 배선 공정의 안정화에 필수적인 조건이 되므로 CMP 공정이 이를 해결할 수 있는 방안으로서 주목받고 있다. 이러한 CMP 공정을 통하여 반도체 소자의 질과 신뢰성을 더욱 향상시킬 수 있는 것이다.
- <12> CMP 공정은 통상 절연막에 대하여 수행되는데, 다음 단계에서 절연막의 상부에 적용되는 물질이 평평한 평면상에 도포될 수 있도록 해준다. 평평한 표면은 사진식각 공정의 수행을 위한 노광시 일정한 초점 심도(a constant depth of focus)를 제공해 주므로 프로파일이 우수한 포토레지스트 패턴을 제조할 수 있게 해준다.
- <13> CMP 공정은 얇고 평평한 웨이퍼를 고정시키고 이에 압력을 가하면서 알루미나 또는

실리카 등을 연마제로 사용하는 슬러리를 사용하여 연마를 통해 절연막, 금속 등을 깎아내는 공정이기 때문에 아무리 주의를 한다고 해도 미세한 스크래치(micro-scratch)가 발생하는 것을 피할 수 없다. 이의 크기, 깊이, 수량 등은 연마 물질로 사용되는 슬러리의 점도, 상태 등에 따라 변하는데, 정도 차이에 따라서 이후 소자에 심각한 문제를 유발할 수도 있다. 스크래치의 사이즈는 최소 수십 Å에서부터 크게는 수천 Å 까지 다양하며 특히 수백-수천Å 사이즈의 스크래치는 후속 하는 도전 물질의 도포 및 CMP 공정 후에도 완전히 제거가 불가능한 상태로서 도전성 패턴간의 브리지를 유발하는 요인이 된다.

<14> 특히, 디자인 룰(design rule)이 서브미크론 수준으로 낮은 영역에서는 도전성 패턴간의 피치가 감소되고 이에 따라 각 도전성 패턴 사이의 절연 공간이 줄어들게 된다. 따라서 이러한 스크래치에 도전성 물질이 채워지면서 인접하는 도전성 패턴끼리 연결되어 이들간에 원치 않는 단락(short)이 발생할 위험이 매우 높다.

<15> 층간절연막의 평탄화와 배선 공정에 CMP 공정을 적용하는 경우, 금속 패턴은 주로 다마신(damascene) 공정을, 콘택홀 채움 공정은 주로 금속 플러그를 형성하는 공정을 사용하는 추세이다. 다마신 공정은 층간절연막 위에 미리 금속 패턴이 형성될 영역을 설정해 놓고 금속을 성막한 후에 CMP를 사용해서 평탄하게 하는 방법이다. 이전의 공정은 실리콘 산화막과 같은 절연막의 상부 전면에 도전성 물질을 도포(blanket deposition)하고, 원하는 금속 패턴을 식각하여 얻도록 된 반면에, 다마신 공정은 하부막에 미리 원하는 금속 패턴의 홈을 형성한 후 금속을 도포함으로써 홈에 금속을 채워 넣도록 하는 기술인 것이다.

<16> 최근에는, 콘택홀 채움 공정과 금속 패턴의 형성을 동시에 수행할 수 있는 듀얼 다

마신(dual damascene) 방식의 기술이 개발되어 널리 이용되고 있다. 미국 특허 제 5,877,076호 및 제5,612,254호에서는 이러한 듀얼 다마신 기술에 대하여 상세하게 개시하고 있다. 상기한 방법으로 금속 플러그와 금속 패턴을 동시에 형성하면 에지부분까지 균일한 두께를 갖는 패턴으로 형성할 수 있어서 소자의 특성이 향상되는 이점이 있지만, 공정수가 많고 복잡하다는 문제가 있다.

<17> 따라서, 최근에는 콘택홀과 금속 패턴을 동시에 형성하되, 좀 더 단순화된 공정으로 형성하는 방식을 채용하고 있다. 도 1a 내지 도 1d는 종래의 방법에 따라 반도체 장치의 금속 배선을 제조하는 공정을 나타내는 개략적인 단면도들이다.

<18> 도 1a를 참조하면, 필드산화막(도시 안됨)에 의해 활성 영역과 필드 영역으로 구분된 반도체 기판(100) 상부의 활성 영역상에 통상의 방법에 따라 게이트 전극(120)을 형성한다. 게이트 전극(120)은 예컨대 불순물이 도핑되어 전도성을 갖는 폴리실리콘으로 형성되는 제1 도전층(124) 및 텅스텐 실리사이드, 탄탈륨 실리사이드 등과 같은 물질로 형성되는 제2 도전층(126)으로 형성된다. 게이트 전극(120)에 의해 노출된 기판의 활성 영역에 불순물을 주입하여 소오스/드레인 영역(110a, 110b)을 형성한다. 상기 게이트 전극(120)과 상부 도전층과의 절연을 위하여 상기 게이트 전극(120)의 상부에 BPSG(borophosphosilicate glass) 등과 같은 절연 물질을 화학기상증착(CVD) 방법 등을 이용하여 약 3000-10000Å 정도의 두께로 증착한다.

<19> 증착된 절연 물질의 표면은 균일하지 못하고 약간의 굴곡을 가지기 때문에 이를 평탄화하기 위하여 CMP 공정을 수행함으로써 표면이 평탄화된 층간절연막(130)을 형성하도록 한다. 이 때, CMP 공정 후에는 도시한 바와 같이 최대 2000Å 정도의 크기를 갖는 스크래치(135)가 생성되어 층간절연막(130)의 상부에 남게 된다.

- <20> 도 1b를 참조하면, 이후 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막(130)을 식각하는 공정을 연속적으로 두 번 수행하여 트랜지스터의 소오스 또는 드레인 영역(110a 또는 110b)과의 전기적인 접속을 위한 콘택홀(140) 및 금속 패턴 형성용 식각 패턴(150)을 형성하도록 한다. 이 때, 도 1a 에서 형성된 스크래치(135)로 인하여 도시한 바와 같이 인접하는 금속 패턴 형성용 식각 패턴(150)과 콘택홀(140) 간을 분리하기 위한 격벽의 상부가 부분적으로 잔류하지 않게 된다. 즉, 공간적으로 층간절연막(130)의 표면 이하에 형성된 식각 패턴(150) 및 콘택홀(140)의 상부들이 부분적으로 서로 연결되는 수가 있다. 이러한 연결을 브리지라 하고, 이러한 브리지는 소자의 크기가 점점 작아짐에 따라 발생 빈도가 높아지고 있다.
- <21> 도 1c를 참조하면, 식각 패턴이 형성된 층간 절연막(130)의 상부에 Ti/TiN 등과 같은 물질을 도포하여 장벽층(155; barrier metal)을 형성하고, 장벽층(155)상에 텅스텐, 구리, 알루미늄 등과 같은 금속 물질을 도포하여 식각부를 채우는 금속층(160)을 형성한다.
- <22> 도 1d를 참조하면, 상기 금속층(160)을 CMP 공정에 의해 층간 절연막(130)의 상부까지 제거하여 평탄화하여 콘택홀의 플러그(170)와 다마신 형태의 금속 배선(180)을 형성한다. 이 때, 절연막의 상부에 형성되었던 스크래치에도 금속이 채워져서 스크래치 패턴(175) 형태로 얻어지게 되는데, 이는 인접하는 콘택홀의 플러그(170)와 금속 패턴(180)을 연결하는 불량인 원인이 되고 이들 인접 패턴간에 원치 않는 단락(short)을 가져온다. 특히 상기한 방법에 의하면 금속 패턴과 콘택홀의 플러그가 동일한 막상에 형성되고 콘택홀의 플러그도 하나의 금속 패턴으로 생각할 수 있으므로, 금속 패턴간의 간격이 그만큼 더 좁아진다는 것을 의미한다. 이에 따라, CMP 공정 후에 발생하는 스크래치

로 인하여 이들간에 브리지가 유발될 위험이 더욱 높게 된다.

<23> 이러한 문제를 해결하기 위하여 여러 가지 방법이 제시되었다. 미국 특허 제 5,915,175호(issued to Wise)에서는 BPSG와 같이 리플로우 가능한 물질을 절연막으로 사용하고, 절연막에 대한 CMP 공정을 수행한 후 생성된 스크래치를 포함하는 상기 절연막을 리플로우하고, 동일한 절연 물질 또는 다른 물질을 도포하여 제2의 절연막을 다시 형성함으로써 상기 스크래치로 인한 문제를 해결하고 있다.

<24> 그런데, 상기 방법에서는 리플로우를 위하여 고온 공정을 요한다는 문제가 있다. 예컨대, BPSG의 경우, N_2 , O_2 , 또는 H_2O 와 같은 분위기 하에서 약 750-1100℃ 온도 범위로 열처리해야 하는 것이다. 이는 공정을 번거롭게 하고 생산성을 떨어뜨리게 된다.

<25> 또한 미국 특허 제 5,710,460호 및 제 5,804,503호(both issued to Leidy et al.)에서는 3층 구조를 갖는 층간절연막을 포함하는 소자를 제공하고 있다. 본 특허에서는 스크래치를 포함하는 절연막의 상부에 SOG(spin-on glass)와 같이 경화 가능한 폴리머 물질을 도포하여 상기 스크래치를 채우고 이를 가열하여 경화시키는 것에 의해 용매를 제거하고 폴리머 필름을 형성하고, 이의 상부에 다시 절연막을 도포하는 것에 의해 제조된다.

<26> 그런데, 이 방법에서는 상기 폴리머 물질의 경화를 위한 열처리 공정이 약 100-150℃의 온도 범위에서 약 3-10분 동안의 1차 열처리 후, N_2 와 같은 불활성 가스 분위기 하에서 약 350-850℃의 온도 범위에서 약 30분 동안의 2차 열처리하는 방식으로 수행되어야 하기 때문에 이 또한 매우 번거롭고 생산성을 낮추는 작업이 된다.

【발명이 이루고자 하는 기술적 과제】

- <27> 이에 본 발명의 목적은 스크래치에 의한 도전 패턴간의 브리지 발생 문제가 없어서 형성된 회로간의 단락이 없고 품질이 향상된 반도체 장치의 배선을 제공하는 것이다.
- <28> 본 발명의 다른 목적은 상기한 종래 기술에서와 같은 추가 열처리 공정이 필요 없으면서도 저렴한 비용으로 용이하게 상기 배선을 제조하는 데 적합한 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <29> 상기한 본 발명의 목적을 달성하기 위하여 본 발명에서는
- <30> 반도체 기판의 상부에 형성된 제1 도전층;
- <31> 상기 제1 도전층의 상부에 위치되며 CMP 공정에 의해 평탄화되고 표면에 스크래치를 포함하는 제1 층간절연막;
- <32> 상기 제1 층간절연막의 상부에 형성된 제2 층간절연막; 및
- <33> 상기 제1 및 제2 층간절연막을 통하여 상기 제1 도전층과 접촉될 수 있도록 형성된 제2 도전층, 및 상기 제2 층간절연막의 상부로부터 상기 제2 층간절연막의 두께 보다 얇은 깊이로 다마신 방식에 의해 형성된 제3 도전층을 포함하는 반도체 장치의 배선을 제공한다.
- <34> 특히, 상기 제2 도전층이 상기 제1 도전층과 연결되는 비아홀을 채우는 플러그 또는 기판 상의 불순물 도핑 영역과 연결되는 콘택홀을 채우는 플러그인 것이 바람직하다. 또한 상기 제1 및 제2 층간절연막은 동일한 절연 물질로 이루어지는 것이 바람직하다.
- <35> 상기한 본 발명의 목적은 반도체 기판의 상부에 형성된 제1 도전층;

- <36> 상기 제1 도전층의 상부에 위치되며 CMP 공정에 의해 평탄화되고 표면에 스크래치를 포함하는 제1 층간절연막;
- <37> 상기 제1 층간절연막의 상부에 형성된 제2 층간절연막; 및
- <38> 상기 제2 층간절연막의 상부로부터 상기 제2 층간절연막의 두께 보다 얇은 깊이로 다마신 방식에 의해 형성된 제2 도전층을 포함하는 반도체 장치의 배선에 의해서도 달성된다.
- <39> 본 발명의 다른 목적은
- <40> 반도체 기판의 상부에 도전층을 형성하는 단계;
- <41> 상기 도전층의 상부에 제1 절연 물질을 도포한 후 CMP 공정을 수행하여 제1 층간절연막을 형성하는 단계;
- <42> 상기 제1 층간절연막의 상부에 제2 절연 물질을 도포하여 상기 CMP 공정 후에 형성된 상기 제1 층간절연막상의 스크래치를 덮도록 하기 위한 제2 층간절연막을 형성하는 단계;
- <43> 상기 제2 층간절연막의 두께보다 얇은 두께로 상기 제2 층간절연막을 식각하여 식각 패턴을 형성하는 단계; 및
- <44> 얻어지는 상기 식각 패턴의 상부에 도전성 물질을 도포한 후 이를 평탄화하여 다마신 형태의 도전성 패턴을 형성하는 단계를 포함하는 반도체 장치의 배선 제조 방법에 의해 달성된다.
- <45> 본 발명에서는 CMP 공정에 의해 형성되는 스크래치로 인하여 발생하는 단락을 방지하기 위하여 층간절연막을 두 단계로 나누어 형성하되, 두 번째 단계에서 형성되는 층간

절연막의 두께가 이후 식각 단계에서 식각되는 깊이 보다 더 두껍게 되도록 한 것이다.

<46> 도 2는 본 발명의 일 실시예에 따른 반도체 장치의 금속 배선을 나타내는 도면이다.

<47> 도시한 바와 같이, 불순물 도핑 영역(210a, 210b)이 형성된 반도체 기판(200)상의 상기 불순물 도핑 영역(210a, 210b) 사이에 게이트 전극(220)이 형성되어 있다. 상기 게이트 전극(220)이 형성된 반도체 기판(200)상에는 상부 도전층과의 절연을 위한 층간절연막(230)이 형성되어 있다. 층간절연막(230)상에는 이의 상부로부터 불순물 도핑 영역(210a, 210b)까지 연결되는 콘택홀을 채우는 제1 금속층(270)과 상부로부터 소정 영역까지 형성된 식각부에 다마신 형태로 제2 금속층(280)이 형성되어 있다.

<48> 이러한 소자에 있어서 CMP 공정의 수행으로 인하여 형성된 스크래치(235)는 두 개의 제1 및 제2 층간절연막으로 이루어지는 층간절연막(230)의 내부, 제2 금속층(280)의 보다 낮은 위치에 존재하게 된다. 따라서, 스크래치(235)가 제2 금속층(280)의 하부에 형성된 제1 금속층(270)의 소정 영역과는 연결될 수 있어도 제2 금속층(280)과는 연결되지 않는다. 따라서 인접하는 제1 금속층(270) 및 제2 금속층(280) 간에는 CMP 공정의 수행으로 형성되는 스크래치(235)로 인한 브리지의 발생이 없게 된다. 또한, 제1 금속층(270) 및 제2 금속층(280)과 층간 절연막(230)사이에는 제1의 장벽층(255)이 형성되어 있다. 장벽층(255)은 티타늄/질화티타늄(Ti/TiN)으로 구성된 이중층으로 이루어진다.

<49> 평탄화된 금속 패턴층의 상부에는 상기 제1 및 제2 금속층과 상부에 형성될 도전층과의 절연을 위한 제3 층간절연막(290)이 형성되어 있고 제3 층간절연막(290)의 상부에는 윈도우를 통하여 제1 금속층(270)과 연결되는 Ti/TiN으로 이루어진 제2 장벽층(295) 및 제3 금속층(300)이 형성되어 있다.

<50> 이하, 상기한 도 2에 나타난 반도체 장치의 금속 배선의 제조 방법을 도3a 내지 3f를 참고로 하여 상세히 설명하기로 한다. 도 3a 내지 도 3f는 본 발명의 바람직한 일 실시예에 따라 반도체 장치의 금속 배선을 제조하는 방법을 공정에 따라 나타내는 개략적인 단면도들이다.

<51> 먼저, 도 3a를 참조하면, 약 1800-2200 Å 정도의 두께를 갖는 필드산화막에 의해 활성 영역과 필드 영역으로 구분된 N형 또는 P형 반도체 기판(200)의 상부, 활성 영역에 통상의 방법에 따라 게이트 전극(220)을 형성하도록 한다. 즉, 불순물이 도핑되어 전도성을 갖는 폴리실리콘을 약 1000 Å 두께로 증착하여 제1 도전층(224)을 형성하고, 이의 상부에 텅스텐 실리사이드, 탄탈륨 실리사이드 등과 같은 물질을 약 1500 Å 정도의 두께를 갖도록 화학기상증착 방법으로 증착하여 제2 도전층(226)을 형성하도록 한다. 이의 상부에 도면에는 도시하지 않았지만 예컨대, 저압화학기상증착 방법을 이용하여 약 1000 Å 정도의 두께를 갖도록 실리콘 산화막을 증착하여 산화막으로 이루어지는 절연막을 형성하고 이의 상부에 사진식각 공정에 의해 포토레지스트 패턴을 형성한다. 포토레지스트 패턴을 식각 마스크로 하여 상기 산화막, 제2 도전층(226) 및 제1 도전층(224)을 반도체 기판(200)이 노출될 때까지 이방성 식각하여 게이트 전극(220)을 제조하도록 한다.

<52> 노출된 기판의 활성 영역에 N^+ 또는 P^+ 불순물을 주입하여 소오스/드레인 영역(210a, 210b)을 형성하여 NMOS 트랜지스터 또는 PMOS 트랜지스터를 형성하도록 한다.

<53> 도전층인 상기 게이트 전극(220)과 이후 상부에 형성되는 도전층과의 절연을 위하여 이의 상부에 BPSG(borophosphosilicate glass), PSG(phosphosilicate glass), PEOX(plasma enhanced oxide), P-TEOS(poly tetraethyl orthosilicate), USG(undoped silicate glass), HTO(high temperature oxide) 등과 같은 실리콘 산화 물질을 화학기상

증착 방법(CVD), 저압화학기상증착 방법 또는 플라즈마증대 화학기상증착 방법 등을 이용하여 증착하여 절연물질층(233)을 형성한다.

<54> 도 3b를 참조하면, 절연물질층(233)을 원하는 두께를 갖도록 하면서 평탄화하기 위하여 통상의 방법에 따라 CMP 공정을 수행함으로써 제1 층간절연막(234)을 형성한다. 연마 용액으로는 통상 식각액과 총량을 기준으로 하여 입자 크기가 약 $0.3\mu\text{m}$ 인 콜로이달 실리카 약 10 중량% 및 수산화암모늄 약 5 중량%를 포함하며, pH가 약 11인 알칼리성 용액을 사용한다. 연마 패드로는 발포된 플라스틱 미세 입자를 포함하는 폴리우레탄계 패드를 사용한다. 또한 연마 압력은 약 14psi 가 되도록 하고 막의 제거 속도는 약 1200Å/분이 되도록 한다.

<55> 이 때, 제1 층간절연막의 두께는 하부 도전층과 상부 도전층의 절연을 위한 정도이면 충분하다. 이 때, CMP 공정 후에는 최대 2000Å 크기의 스크래치(235)가 제1 층간절연막(234)의 상부에 형성되는 경우가 있다.

<56> 도 3c를 참조하면, 제1 층간절연막(234)의 상부에 형성되어 있는 상기 스크래치(235)를 충분히 덮으면서 이후 다마신 형태로 형성될 배선층의 깊이보다 두껍게 절연 물질을 도포하여 제2 층간절연막(236)을 형성한다. 제1 층간절연막(234)과 제2 층간절연막(236)은 서로 상이한 물질로 형성될 수도 있으나 동일한 물질로 형성되는 것이 바람직하며, 더욱 바람직하게는 산화물로 형성하도록 한다. 제1 층간절연막(234)과 제2 층간절연막(236)의 두께는 총합이 약 5000-10000Å 정도, 바람직하게는 약 8000Å 정도가 되도록 하는 것이 바람직하다.

<57> 도 3d를 참조하면, 이후 포토레지스트 패턴을 식각 마스크로 하여 상기 제1 층간절연막(234) 및 제2 층간절연막(236)으로 이루어지는 층간절연막(230)을 이방성 식각하여

하부 도전층을 오픈 시키기 위한 제1 식각 패턴(240)을 형성하도록 한다. 형성되는 제1 식각 패턴(240)은 도면에 나타난 바와 같이 트랜지스터의 소오스/드레인 영역(210a, 210b)과의 전기적인 접속을 위하여 상기 소오스/드레인 영역(210a, 210b)의 일부를 노출시키는 콘택홀일 수도 있고, 하부 배선층과 상부 배선층을 연결해 주기 위한 비아홀일 수도 있다.

<58> 다시 포토레지스트 패턴을 식각 마스크로 하여 제2 층간절연막(236)을 소정의 깊이까지 식각하여 금속 패턴 형성을 위한 제2 식각 패턴(250)을 형성하도록 한다. 제2 식각 패턴(250)의 깊이는 제1 층간절연막(234)의 표면에 형성된 스크래치(235)가 노출되지 않도록 제2 층간절연막(236)의 두께보다 얇게 되도록 형성한다. 제2 층간절연막(236)을 이방성 식각할 때, 식각 깊이는 식각 물질의 종류를 고려하여 식각 공정의 수행시 사용되는 RF 파워, 식각 시간, 두께 등의 값을 설정해 줌으로써 컨트롤하게 된다. 상기 제1 식각 패턴(240)과 제2 식각 패턴(250)의 형성 순서는 바뀌어도 무방하다.

<59> 결국, 제1 식각 패턴(240)과 상기 스크래치(235)는 접속될 수 있어도 제2 식각 패턴(250)은 제1 층간절연막(234)으로부터 소정의 거리만큼 떨어져서 형성되므로 제1 층간절연막(234)의 표면에 형성된 스크래치(235)와는 접속되지 않는다. 따라서, 스크래치(235)에 의해 제1 식각 패턴(240)과 제2 식각 패턴(250)은 연결될 수가 없다.

<60> 도 3e를 참조하면, 식각 패턴이 형성된 절연층의 상부에는 상, 하부 층으로의 확산이나, 상, 하부 층의 물질간의 상호 확산 등을 방지하기 위하여 확산 장벽층(255)을 형성해 주어야 한다. 이 확산 장벽층(255)은 금속층과 잘 접촉되며 열팽창 계수도 비슷해야 한다. 예를 들면, 티타늄, 텅스텐, 티타늄 나이트라이드, 티타늄-텅스텐 합금 등과 같은 물질을 약 500-1500 Å 두께로 증착하여 형성한다.

<61> 이의 상부에 텅스텐, 구리, 알루미늄, 알루미늄-구리 합금, 알루미늄-구리-텅스텐 합금, 알루미늄-스칸듐 합금, 금, 은, 몰리브덴 등과 같은 금속 물질을 화학기상증착 방법 또는 다른 스퍼터링법으로 도포하여 금속층(260)을 형성한다. 금속 물질로는 저항률이 낮고 고용점 금속이기 때문에 화학기상증착 특성이 좋아서 스텝 커버리지가 좋은 텅스텐이 특히 바람직하다. 특히 화학기상증착 방법을 사용하여 텅스텐으로 콘택홀을 매몰하면 스텝 커버리지도 우수하다. 텅스텐 소스로서는 융점이 높아서 상온에서 고체인 WCl_6 (tungsten hexachloride) 보다는 상온에서 비등점을 갖는 WF_6 (tungsten hexafluoride)가 많이 사용된다. 또한 본 발명의 방법에서와 같이 콘택홀을 채우기 위한 플러그 뿐 아니라 금속 패턴의 형성을 위해서도 동시에 적용되기 때문에 텅스텐이 가장 바람직한 금속이라고 볼 수 있다.

<62> 금속층(260)의 두께는 약 6000\AA 이상으로 하는데, 이의 두께에는 특별한 제한이 없다. 그러나 너무 두꺼우면 이후 평탄화 공정에서 시간이 오래 걸리므로 이 점을 고려하여 너무 두껍지 않게 도포하도록 한다.

<63> 도 3f를 참조하면, 이후 층간 절연막(230)의 상부가 노출될 까지, CMP 공정을 수행하여 과량의 금속을 제거하고 상기 금속층을 평탄화하여 다마신 형태의 금속 패턴으로서 예컨대, 콘택홀을 채우는 금속 플러그(270)와 예컨대, 워드 라인용 금속 패턴(280)을 형성하도록 한다.

<64> 이 때에는 CMP 공정에 의해 스크래치가 발생하더라도 이미 금속 패턴이 이미 형성된 상태이기 때문에 이러한 스크래치에 금속 물질이 채워질 수가 없으므로 스크래치로 인하여 패턴간에 브리지가 생성되지는 않는다.

<65> 금속층을 연마할 때는 CMP 공정을 정확하게 원하는 시점에서 멈추어야 한다. 금속

물질은 대개 절연막의 상부에 도포되어 절연막에 형성된 홀이나 트렌치를 채우게 된다. 금속 패턴들을 전기적으로 절연시키기 위해서는 CMP 공정을 절연막의 최상부, 홀과 트렌치에 채워진 금속성 물질의 최하부에서 멈추어야 한다. 만약 CMP 공정을 원하는 시점(endpoint) 이전에 멈추면 연마 부족(under-polishing)이 되어 금속성 패턴들이 전기적으로 분리되지 못하여 회로에 단락이 발생되며, 만약 CMP 공정을 원하는 시점 이후에 멈추면 과연마(over-polishing) 되어 금속성 패턴이 원하는 두께로 얻어지지 못하므로 불량률 가져올 수 있다. 따라서, 레이저 빔을 이용하여 표면 반사율을 측정하는 방법 등을 사용하여 정확한 두께만큼 연마하여 제거하거나 예컨대, 미국 특허 제5,663,797호(issued to Sandhu) 등에 나타난 방법 등을 사용하여 연마 두께를 조절해야 한다.

<66> 연마 용액으로는 통상 식각액과 총량을 기준으로 하여 입자 크기가 약 $0.3\mu\text{m}$ 인 콜로이달 실리카 및 수산화암모늄을 포함하며, pH가 약 9-13인 알칼리성 용액을 사용하며 연마 패드는 발포된 플라스틱 미세 입자(plastic microballons)를 포함하는 폴리우레탄계 패드를 사용한다.

<67> 이후, 얻어지는 금속 패턴의 상부에 다시 도전층을 형성한다. 구체적으로, 하부 도전층과의 절연을 위하여 산화규소와 같은 절연 물질을 약 6000\AA 두께로 도포하여 제3층간절연막(290)을 형성하고, 사진식각법을 이용하여 포토레지스트 패턴을 형성하여 식각될 부분을 오픈하여 윈도우를 형성하도록 한다. 상기 포토레지스트 패턴에 의해 노출된 절연막 부분을 반응성 이온 에칭법(RIE)에 의해 식각하여 텅스텐 플러그(270) 부분을 오픈한 다음, Ti/TiN 으로 이루어진 제2의 확산 장벽층(295)을 약 1200\AA 두께로 도포하고 이의 상부에 텅스텐을 약 6000\AA 두께로 도포하여 예컨대, 비트 라인과 같은 금속 패턴(300)을 형성함으로써 도 2에 나타난 바와 같은 반도체 장치의 금속 배선을 형성한

다.

<68> 이와 같은 본 발명의 방법에 따라 반도체 장치의 금속 배선을 제조하면, 별도의 열처리 공정이나 어려운 추가 공정 없이, 절연막의 CMP 공정 수행에 수반되는 스크래치로 인한 브리지 형성의 문제를 완벽하게 해결할 수 있게 된다.

<69> 본 발명의 구체적인 상기 실시예를 설명함에 있어서, 사용된 반도체 소자는 폴리실리콘 게이트 전극, 워드 라인, 소스 영역, 드레인 영역, 콘택홀, 비트 라인 등을 포함하고 있다. 이와 같이 본 발명이 특정한 실시예에 한정되어 설명되어 있지만 본 발명의 사상을 벗어나지 않는 범위 내에서 다양하게 변형하여 적용할 수 있음이 물론이다.

<70> 예컨대, 본 발명에서는 콘택홀을 채우는 플러그와 인접하는 금속 패턴 사이에 형성되는 스크래치로 인하여 발생하는 문제점을 해결하는 방법에 대하여 설명하고 있다. 그러나, 동일한 금속 패턴 또는 도전성 패턴간에도 본 발명의 방법이 적용될 수 있다. 즉, 하부 도전층, CMP 공정에 의해 평탄화된 절연막 및 다마신 방식으로 형성되는 상부 도전층을 포함하는 소자에 있어서, 상기 절연막을 두 번의 공정으로 나누어 형성하는 것에 의해 스크래치로 인한 배선간 브리지 발생을 방지할 수 있는 것이다. 먼저, 하부 도전층의 상부에 CMP 공정에 의해 평탄화되고 상부 표면에 스크래치를 포함하는 제1 절연막을 형성하고, 이의 상부에 절연막 총두께의 나머지 두께만큼 제2 절연막을 플라즈마증대 화학기상증착 방법 등의 방법에 의해 형성한다.

<71> 이 때, 제2 절연막은 이후 식각되는 식각 패턴의 깊이 보다 더 두껍게 되도록 조절해야 한다. 사진식각 공정을 이용하여 식각 패턴을 형성하고, 이의 상부에 도전 물질을 도포한 후 CMP 공정을 수행하여 다마신 형태의 금속 패턴을 형성하도록 한다. 이와 같은 공정을 통하여 금속 배선을 형성하면 스크래치가 금속 패턴의 하부에 존재하기 때문에

이로 인한 불량의 발생을 방지할 수 있을 것이다.

<72> 이에 더하여, 본 발명에 따른 반도체 장치의 배선 제조 방법이 NMOS, PMOS, CMOS, BiCMOS, 바이폴라 소자 등을 포함하는 모든 반도체 소자에 적용될 수 있음이 물론이다.

【발명의 효과】

<73> 이상과 같이 본 발명에 따른 반도체 장치의 배선은 인접하는 도전성 패턴간의 브리지가 없어 이로 인한 단락이 방지되며 별도의 상이한 물질층을 형성할 필요 없이 동일한 절연 물질을 사용하여 적층하는 구조를 갖기 때문에 상이한 물질을 적층하여 생기는 계면에 의한 특성 저하가 방지될 수 있다.

<74> 또한 본 발명의 방법에 따라 반도체 장치의 배선을 형성하면 별도의 고온 공정을 필요로 하지 않으므로 이의 수행이 용이하며, 미세한 패턴에 있어서도 CMP 공정으로 인하여 층간절연막의 상부 표면에 형성된 스크래치에 기인한 도전성 패턴간의 브리지 형성을 방지할 수 있게 된다.

<75> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판의 상부에 형성된 제1 도전층;

상기 제1 도전층의 상부에 위치되며 CMP 공정에 의해 평탄화되고 표면에 스크래치를 포함하는 제1 층간절연막;

상기 제1 층간절연막의 상부에 형성된 제2 층간절연막; 및

상기 제1 및 제2 층간절연막을 통하여 상기 제1 도전층과 접촉될 수 있도록 형성된 제2 도전층, 및 상기 제2 층간절연막의 상부로부터 상기 제2 층간절연막의 두께 보다 얇은 깊이로 다마신 방식에 의해 형성된 제3 도전층을 포함하는 반도체 장치의 배선.

【청구항 2】

제1항에 있어서, 상기 제1 및 제2 층간절연막이 동일한 절연 물질로 이루어진 것을 특징으로 하는 반도체 장치의 배선.

【청구항 3】

제1항에 있어서, 상기 제1 도전층과 접촉되는 상기 제2 도전층이 상기 제1 도전층과 연결되는 비아홀을 채우는 플러그인 것을 특징으로 하는 반도체 장치의 배선.

【청구항 4】

제1항에 있어서, 상기 제1 도전층 이 기판 상의 불순물 도핑 영역인 것을 특징으로 하는 반도체 장치의 배선.

【청구항 5】

제1항에 있어서, 상기 제2 및 제3 도전층의 상부에 제3 층간절연막 및 상기 제3 층

간절연막에 형성된 윈도우를 통하여 상기 제3 도전층과 접촉되는 제4 도전층이 형성되는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 6】

제5항에 있어서, 상기 제4 도전층이 텅스텐, 알루미늄 및 구리로 이루어지는 군에서 선택된 어느 하나의 도전 물질로 형성되는 비트 라인인 것을 특징으로 하는 반도체 장치의 배선.

【청구항 7】

반도체 기판의 상부에 형성된 제1 도전층;

상기 제1 도전층의 상부에 위치되며 CMP 공정에 의해 평탄화되고 표면에 스크래치를 포함하는 제1 층간절연막;

상기 제1 층간절연막의 상부에 형성된 제2 층간절연막; 및

상기 제2 층간절연막의 상부로부터 상기 제2 층간절연막의 두께 보다 얇은 깊이로 다마신 방식에 의해 형성된 제2 도전층을 포함하는 반도체 장치의 배선.

【청구항 8】

제7항에 있어서, 상기 제1 및 제2 층간절연막이 동일한 절연물질로 이루어진 것을 특징으로 하는 반도체 장치의 배선.

【청구항 9】

제7항에 있어서, 상기 제2 도전층이 텅스텐, 알루미늄 및 구리로 이루어진 군에서 선택된 어느 하나의 금속으로 이루어진 것을 특징으로 하는 반도체 장치의 배선.

【청구항 10】

반도체 기관의 상부에 도전층을 형성하는 단계;

상기 도전층의 상부에 제1 절연 물질을 도포한 후 CMP 공정을 수행하여 제1 층간 절연막을 형성하는 단계;

상기 제1 층간절연막의 상부에 제2 절연 물질을 도포하여 상기 CMP 공정 후에 형성된 상기 제1 층간절연막상의 스크래치를 덮도록 하기 위한 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막의 두께보다 얇은 두께로 상기 제2 층간절연막을 식각하여 식각 패턴을 형성하는 단계; 및

얻어지는 상기 식각 패턴의 상부에 도전성 물질을 도포한 후 이를 평탄화하여 다마신 형태의 도전성 패턴을 형성하는 단계를 포함하는 반도체 장치의 배선 제조 방법.

【청구항 11】

제10항에 있어서, 상기 제1 및 제2 절연 물질이 동일한 것을 특징으로 하는 반도체 장치의 배선 제조 방법.

【청구항 12】

제10항에 있어서, 상기 제1 및 제2 절연 물질이 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 배선 제조 방법.

【청구항 13】

제10항에 있어서, 상기 제2 층간 절연막을 형성한 후에, 상기 제1 및 제2 층간 절

연막을 식각하여 제2 식각 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 배선 제조 방법.

【청구항 14】

제10항에 있어서, 상기 제1 및 제2 층간절연막의 두께의 합이 상기 도전층 및 상기 도전성 패턴간의 절연을 위해 필요한 두께와 상기 식각 패턴의 깊이의 합인 것을 특징으로 하는 반도체 장치의 배선 제조 방법.

【청구항 15】

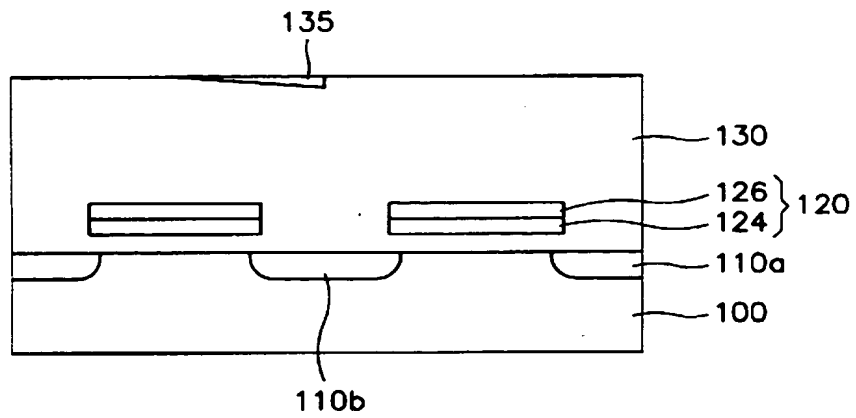
제10항에 있어서, 상기 도전성 물질이 텅스텐, 알루미늄 및 구리로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 배선 제조 방법.

【청구항 16】

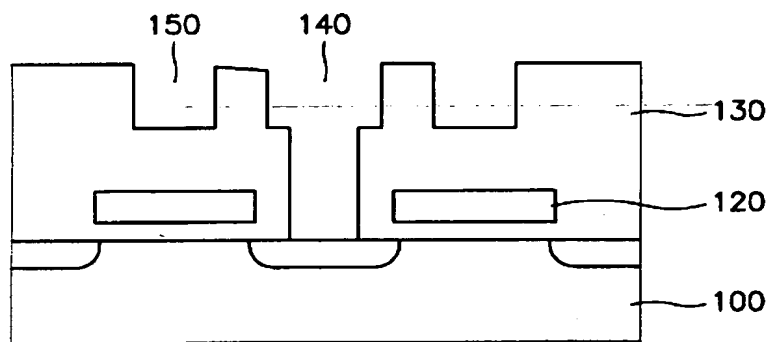
제10항에 있어서, 상기 도전성 물질을 도포한 후 수행되는 평탄화 공정이 CMP 공정을 이용하여 수행되는 것을 특징으로 하는 반도체 장치의 배선 제조 방법.

【도면】

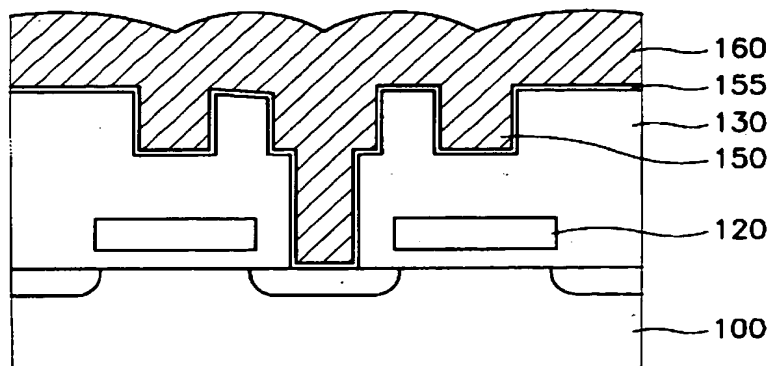
【도 1a】



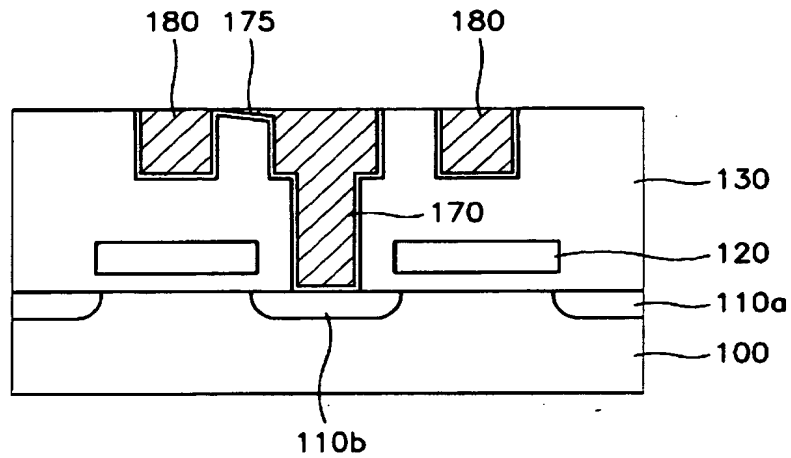
【도 1b】



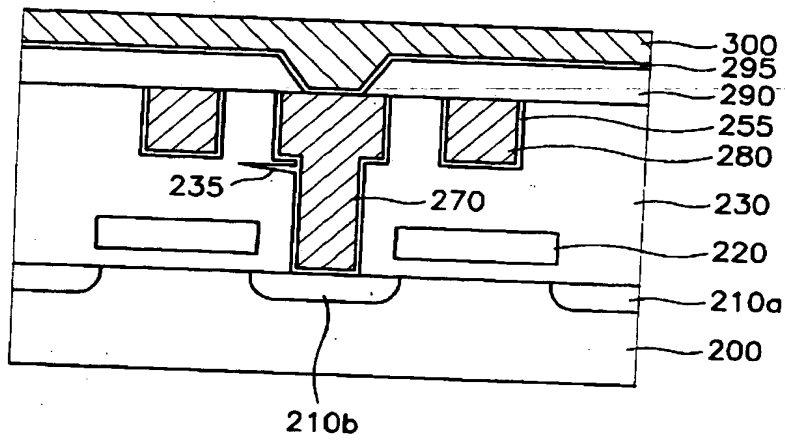
【도 1c】



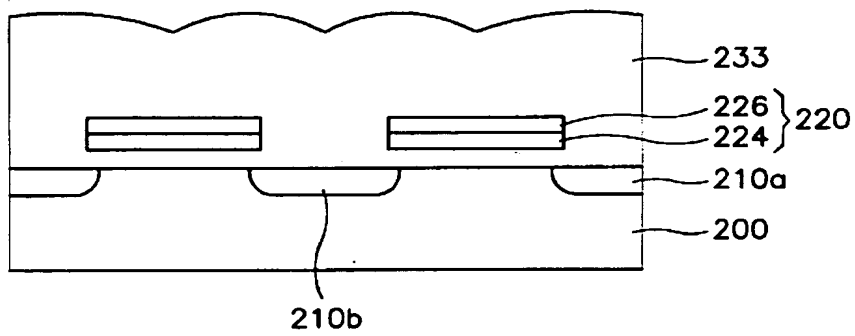
【도 1d】



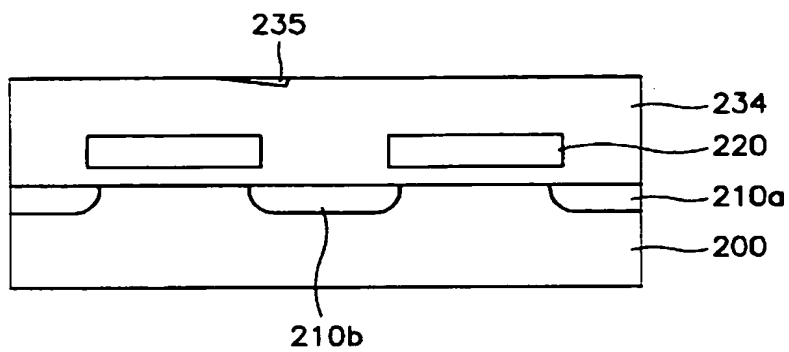
【도 2】



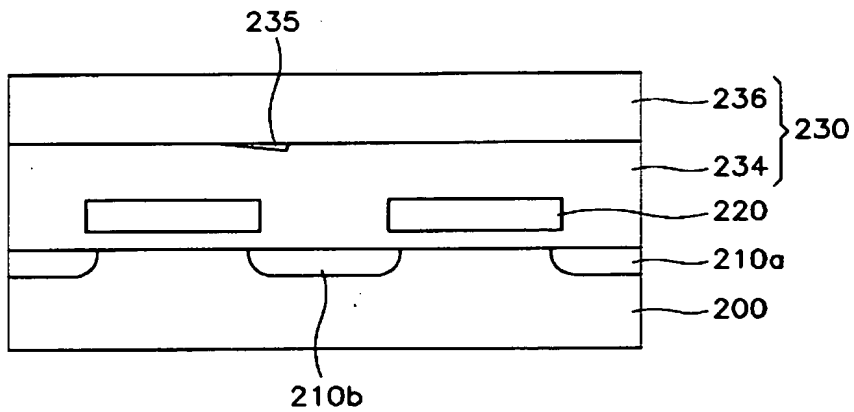
【도 3a】



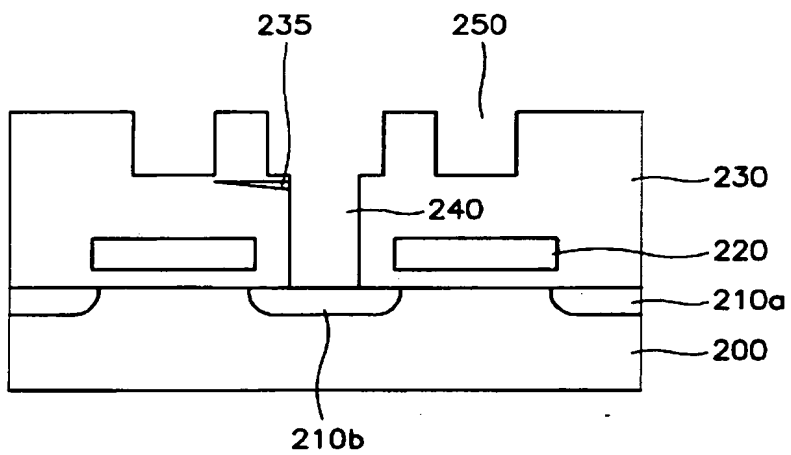
【도 3b】



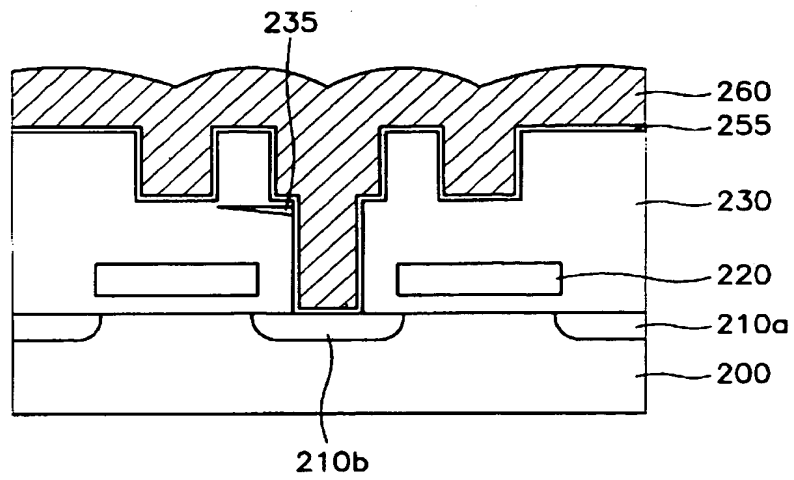
【도 3c】



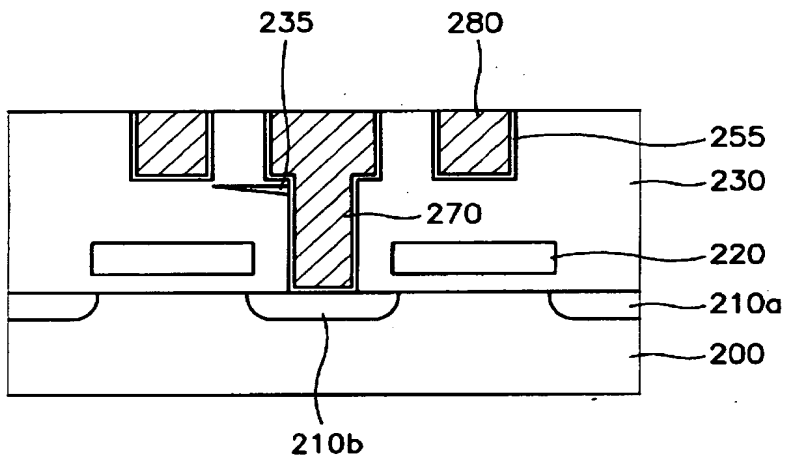
【도 3d】



【도 3e】



【도 3f】



【서류명】	서지사항보정서
【수신처】	특허청장
【제출일자】	2000.03.23
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	119981042713
【사건과의 관계】	출원인
【대리인】	
【성명】	박영우
【대리인코드】	919980002302
【포괄위임등록번호】	19990302037
【사건의 표시】	
【출원번호】	1020000008558
【출원일자】	2000.02.22
【심사청구일자】	2000.02.22
【발명의 명칭】	반도체 장치의 배선 및 이의 제조 방법
【제출원인】	
【발송번호】	152000001001213
【발송일자】	2000.03.13
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상 항목】	첨부서류
【보정방법】	제출
【보정내용】	
【첨부서류】	위임장
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제12조의 규정 에 의하여 위와 같이 제출합니다.
【수수료】	
【보정료】	11000
【기타 수수료】	0
【합계】	11000
【첨부서류】	위임장 1통